

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-003912
 (43)Date of publication of application : 07.01.2000

(51)Int.Cl.

H01L 21/3205
H01L 21/304

(21)Application number : 10-167904

(22)Date of filing : 16.06.1998

(71)Applicant : HITACHI LTD

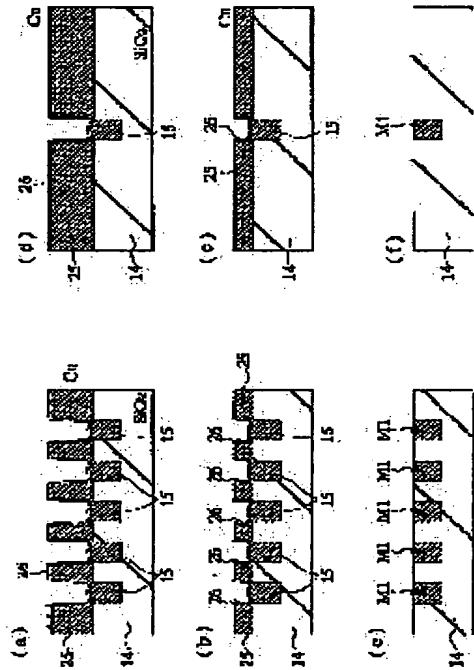
(72)Inventor : NOGUCHI JUNJI
SAITO TATSUYUKI
OHASHI TADASHI
YAMAGUCHI HIDE
KONDO SEIICHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the erosion or dishing in the case of forming a wiring or a plug by CMP process.

SOLUTION: The stopper films 26 in lower polishing rate by CMP process than that of the copper film 25 are formed on the surface of the copper film 24 (a) and (d) so as to polish the copper film 25 and the stopper films 26. At this time, the stopper films 26 are selected out of titanium (Ti) film, tantalum film (Ta) film, tungsten (W) film, tungsten nitride (WN) film, tantalum nitride (TaN) film. In a region in high wiring density (b), the quantity of the copper film 25 to be polished is small but the quantity of the stopper films 26 is large, while in a region in low wiring density (e), the quantity of the copper film 25 to be polished is large but the quantity of the stopper films 26 is small so that almost the same quantities may be polished thereby permitting the just etched state wherein the polishings of both films are finished to be almost simultaneously attained (c) and (f).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

形成された第3被膜の体積W3に第2被膜の研磨速度(V2)の第3被膜の研磨速度(V3)に対する比($R = V2/V3$)を乗じた値($W3 \cdot R$)と、ほぼ等しくなる第2の条件、の何れかの条件で形成することができます。

[0022] 第1の条件下によれば、基板の任意の領域において第2被膜と第3被膜との研磨量の和がほぼ等しくできることから、第2被膜の表面を平圧化でき、第2の条件下によれば、下地凹部に起因する第2被膜の四節つまり仮想的な平圧面に対する第2被膜の研磨量減少分(第2被膜の容積W)を第3被膜により補償できるため、第2被膜の表面を平圧化することができる。なお、下地凹部に第2被膜を埋め込む場合についても同様に第2被膜および第1被膜の表面を平圧化でき、エロージョンを抑制できる。

[0023] なお、第1被膜は絶縁膜であり、第1被膜の凹部は配線または接続孔であり、第2被膜は鋼または銅合金を主成分とする被膜であり、埋め込み部材は金属膜からなる配線またはプラグであり、第3被膜はチタン膜、タンタル膜、タンクステン膜、塗化タンクスチレン膜、塗化タンタル膜から選択された何かの金属膜とすことができる。この場合、エロージョンを抑制して、第1被膜である被膜の配線またはプラグが形成される場合に近い構造を有する配線またはプラグが形成できる。この結果、半導体装置を設計通りに製造でき、配線またはプラグの研磨量減少に起因する信頼性および歩留まりの低下の要因を排除して半導体装置の信頼性および歩留まりを向上できる。

[0024] また、銅膜と金膜との界面に、銅膜と金膜との反応を抑制するバリア膜を形成できる。この場合、銅と金膜との反応を防止して、第3導電性能を保持し、半導体装置の信頼性を向上できる。

[0025] (2) 本発明の半導体装置の製造方法は、その正面に回路素子が形成された半導体からなる基板または半導体層を有する基板と、基板の正面上の何かの層に形成され、配線または接続孔を有する絶縁膜と、配線膜または接続孔に埋め込んで形成された配線またはプラグとを有し、配線またはプラグが形成された絶縁膜の表面がCMP法により平圧化されている半導体装置であって、配線またはプラグを構成する金属材料のCMP法による研磨速度よりも小さな研磨速度を有する接続部が、配線またはプラグ上に配線または接続孔に埋め込んで形成されている。

[0026] このような半導体装置は、前記した(1)の製造方法において、第3被膜を残存させる場合に製造される。この場合前記したとおり、配線またはプラグのディッシングが効果的に抑制されるため、前記エロージョンの効果とともに配線またはプラグの膜厚(断面積)を設計通りに近くすることが可能となる。したがって半導体装置の信頼性および歩留まりを向上できる。

[0027] なお、配線またはプラグは、鋼または銅合金を主成分とする被膜からなり、被膜は、チタン膜、タンタル膜、タンクスチレン膜、塗化タンクスチレン膜、塗化タンタル膜から選択された何かの金属膜とすことができる。

[0028] また、銅膜と金膜との界面に、銅膜と金膜との反応を抑制するバリア膜を形成してもよい。

[0029] 発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

[0030] (実施の形態1) 図1は、本発明の一実施

の形態である半導体装置の一例を示した断面図である。

[0031] 本実施の形態1の半導体装置は、半導体基板1上に形成されたnチャネルMISFETQnおよびpチャネルMISFETQpを有する。nチャネルMISFETQnおよびpチャネルMISFETQpは、CMOSFET(Complementary-MISFET)を構成して半導体集積回路を構成することができ、半導体集積回路には、銅膜と金膜との受動素子を含めることができる。なお、本実施の形態ではCMOSFETを例示するが、nチャネルMISFETQnまたはpチャネルMISFETQpの単一チャネルのMISFETで半導体集積回路を構成してもよい。また、不純物半導体領域7、8のはばがロン)が導入される。不純物半導体領域7、8は、不純物が低濃度に導入された低濃度不純物半導体領域と、不純物が高濃度に導入された高濃度不純物半導体領域とからなるいわゆるLD (Lightly Doped Drain)構造としてもよい。また、不純物半導体領域7、8の上部には、シングステンシリサイド(WSi_x)、モリブデンシリサイド(MoSi_x)、チタンシリサイド(TiSi_x)、タンタルシリサイド(TaSi_x)などの高融点金属シリサイド膜を形成してもよい。

[0032] ゲート電極6の側面および上面にはサイドウォールスベーサ9およびキャップ絶縁膜10がそれぞれ形成されている。サイドウォールスベーサ9およびキャップ絶縁膜10は、たとえばシリコン酸化膜あるいはシリコン電離膜とすることができる。シリコン電離膜を用いる場合には、そのシリコン電離膜からなるサイドウォールスベーサ9およびキャップ絶縁膜10をマスクとして用い、後に説明する間隔絶縁膜に自己整合的に接続を開口することができる。

[0033] [0041] 半導体基板1には、その正面近傍に素子分離領域2が形成され、素子分離領域2で形成された活性領域には、n型の不純物(たとえばボロン(B))が低濃度で導入されたp型ウェル3およびn型の不純物(たとえばリン(P)、ヒ素(A₃s))が低濃度で導入されたn型ウェル4が形成されている。nチャネルMISFE transistor1が形成されている。局間絶縁膜11として、BPSG (Boro-Phospho-Silicate Glass)膜またはPSG (Phospho-Silicate Glass)膜等のリフロー膜を用いることができるが、局間絶縁膜11の下部もしくは上部にCVD法またはバッタ法により形成されたシリコン酸化膜とSOG (Spin On Glass)膜の間隔膜とすることもできる。

[0034] 不純物半導体領域7、8上の間隔絶縁膜11には、接続孔12が設けられ、接続孔12には、たとえばスパッタ法により形成されたタンゲスタン膜13およびたとえばブランケットCVD法あるいは選択CVD法により形成されたタンゲスタン膜13bからなるプラグ13が形成されている。

[0035] [0043] 局間絶縁膜11の上面上には、第1層配線膜1を形成するための配線膜用絶縁膜14が形成されており、また、配線膜用絶縁膜14には、配線膜15が形成され、配線膜15には、第1層配線膜1が形成されている。配線膜14は、CVD法で形成されたシリコン酸化膜とすることができる。

[0036] 第1層配線膜14は、たとえばCVD法で形成されたシリコン酸化膜とすることができる。

[0037] [0044] 第1層配線膜M1は、たとえば鋼(Cu)からなる半導電層16aと、たとえば塗化チタン(TiN)からなるバリア層16bと、たとえば鋼(Cu)からなる半導電層16bとともに主導電層16bを抵抗率の小さな鋼等の材料を用いたため、配線膜用絶縁膜14には、配線膜15が形成され、配線膜15には、第1層配線膜M1が形成されている。

[0038] [0045] 局間絶縁膜11の低抵抗を低減して回路の遅延時間を短縮し、半導体装置の応答速度を向上してその性能を向上できる。

[0039] 不純物半導体領域7、8は、nチャネルMISFETQn、pチャネルMISFETQpのソース・ドレイン領域として機能するものである。不純物半導

ングすることにより、ゲート電極6の側壁にサイドウォールスベーザ9を形成する(図4)。なお、さらに、アナトレスジスト膜、キャップ绝缘膜10およびサイドウォールスベーザ9をマスクして不純物半導体領域7または不純物半導体領域8にその場電型に応じた不純物を高濃度にイオン注入し、いわゆるLDD構造の不純物半導体領域を形成してもよい。また、この段階で、不純物半導体領域7、8の表面に、タンクステンまたはコバルト等のシリサイド膜を形成し、不純物半導体領域7、8のシート抵抗およびブリザ13との接触抵抗を低減するようにしてよい。

10053) 1) に、チサチ等吸収性上に、ノブムニに、
CVD法で酸化シリコン膜を堆積し、層間絶縁膜11を
形成する。層間絶縁膜1の表面に、半導体基板1の主面
平坦化することができる。さらには、半導体基板1の主面
の不純物半導体領域7、8上の層間絶縁膜11に、フォ
トリソグライフ技術およびエッチング技術を用いて接続
孔12を開口する(図5)。

[0056] 次に、スパッタ法によりタンゲステン膜1
3aを堆積し、さらにブランケットCVD法によりタン
ゲステン膜13bを堆積する(図6)。

[0057] 次に、接続孔12以外の層間絶縁膜11上
のタンゲステン膜13bおよびタンゲステン膜13aを

CMP法により除糸し、プラグ1-3を形成する(図7)。

【0058】次に、層間絕縁膜11およびプラグ1-3上に配線用絶縁膜1-4を堆積する。配線用絶縁膜1-4は、第1層配線M1をCMP法で形成するために形成されるものであり、たとえばCVD法またはスパッタ法により形成されたシリコン酸化膜することができ。配線用絶縁膜1-4の隙間は、たとえば0.5μmあるいはそれよりも若干くすることができる。

【0059】次に、第1層配線M1が形成される領域に開口を有するフォトレジスト膜を形成し、このフォトレジスト膜上に第2層配線M2を形成する(図8)。

シグ、配線膜 1 5を形成する(図 8)。

[0006] 次に、配線膜 1 5の内部を含む層形成用
絶縁膜 1 4の表面にバリア層 1 6ととなる塗化チタン膜
2 3を堆積する(図 9)。塗化チタン膜 2 3は、たとえ
ばCVD法あるいはスピッタ法により堆積することができる。
塗化チタン膜 2 3の堆積は、後に説明する鋼膜の
密着性の向上および鋼の屈曲防止のために行うものであ
る。なお、塗化チタン膜に代えてタンタル等の金属膜であ
るいは塗化チタンル模等であってもよい。また、次工程
である鋼膜の堆積直前に塗化チタン膜 2 3の表面をヘバ
ンタエッヂすることも可能である。このようなスパッタ

[006] 次に、主導電極16となる金属、たゞえ
エッチにより、塗装チタン膜2.3の裏面に吸着した水、
酸素分子等を除去し、銅膜の接着性を改善することができる。

は、CMP法により研磨するべきストップ膜2.6の量が相違する。つまり、配線密度が大きな領域では、凹部の側壁に相当する分だけ研磨するべきストップ膜2.6の量が多くなる。一方、配線密度が小さな領域では、CMP法により研磨するべき鋼膜2.5の量が多くなる。そこで、鋼膜2.5とストップ膜2.6との研磨量が終了した段階で、配線密度が大であつてもあるいは小であつても各領域でのジャストエッヂをほぼ同時に達成することができる。

[0067] この状況を示したのが図14(b)、(c)、(e)、(f)である。研磨途中において配線密度が小さな領域(図14(b))では、研磨すべき鋼膜2.5の量は少ないがストップ膜2.6の量が多く、一方、鋼膜2.5の量が多いがストップ膜2.6の量が少ないと、ほぼ同じだけ研磨されたり、両者の研磨が終了するジャストエッヂ状態は、ほぼ同時に達成される(図14(c)および(f))。

[0068] なお、図15は、配線密度が小さな領域(図15(b))の1例を示しており、図15(a)のA-A断面を示したのが図14(a)～(c)であり、図15(b)のB-B断面を示したのが図14(d)～(f)である。

[0069] このような、ストップ膜2.6と同様な効果を発揮するK2と、ストップ膜2.6の研磨量K3に各々の研磨速度R(=鋼膜2.5の研磨速度V2/ストップ膜2.6の研磨速度V3)を乗じた値の和(K2+K3・R)が、任意の領域においてほぼ等しくなるように形成できる。あるいは、図15(c)に示すように、配線膜1.6の形状に起因する鋼膜2.5の凹部の容積Wと、凹部の側壁に形成されたストップ膜2.6の体積W3に前述研磨速度Rを乗じた値W3・Rとが、ほぼ等しくなるように形成できる。

[0070] このようなストップ膜2.6が形成されているため、鋼膜2.5の研磨量の不足をストップ膜2.6で補い、半導体基板1の全面にわたって均一にストップ膜2.6および鋼膜2.5を研磨して、配線密度の相違により発生するエロージョンを抑制することができる。この結果、半導体装置の第1層配線M1の膜厚(側面部)を設計通りに形成し、その傾斜性と歩留まりを向上できること。

[0071] なお、鋼膜2.5とストップ膜2.6との界面に、反応を抑制するハリエット膜を形成できる。ハリエット膜としてはたとえば塗装チタン膜を例示できる。ハリエット膜は、スパッタ法またはCVD法により研磨剤を防ぐことができるためである。鋼膜3.2の過剰研磨を防止することができたためである。鋼膜3.2の過剰研磨を防止できること、特に研磨特性を改善するような研磨剤を用いるべき、特別に研磨剤を改善することができる。この配線膜M1のエロージョンを防止することができる。

要はない。たとえばロデール社製QCTT1010に過酸化水素およびヘンクリアール(BTA)を用いることができる。

[0073] なお、CMPを行う前にストップ膜のメタルドライティングにより凸部上面のストップ膜(ハリア膜)を除去すると、CMP時間を短縮し、さらには、エロージョン、ディッシング対策において特性が向上する。

[0074] 次に、凹面鋼膜1.1と同様に凹部側鋼膜1.9aおよび鋼膜2.5の研磨の様子を示す。図19(a)～(c)は、第1層配線M1の配線密度が大(密)な領域の一断面を、図19(d)～(f)は、第1層配線M1の配線密度が小(疏)な領域の一断面を示している。鋼膜3.0は平坦化して形成された1.7を形成し、ブロック1.3の場合と同様に、タンクステン膜1.9aおよびタンクステン膜1.9bからなるブロック1.9を接続孔1.8内に形成する(図1.6)。

[0075] さらに、配線形成用絶縁膜1.4と同様に、第2層配線M2を形成するための配線形成用絶縁膜2.0を形成し、配線膜1.5と同様に配線膜2.1を形成する。さらに、第1層配線M1の場合と同様に、第2層配線M2のアリヤ層2.2aとなる電気チャタン膜2.7を形成し、鋼膜を堆積した後これをリフローして第2層配線M2の主導電路2.2bとなる鋼膜2.8を形成する。さらに、鋼膜2.8上にストップ膜2.9を形成する(図17)。

[0076] その後、第1層配線M1の場合と同様に、ストップ膜2.9、鋼膜2.8および塗装チタン膜2.7をCMP法により除去し、ハリア層2.2aと主導電路2.2bとからなる第2層配線M2を形成して、図1に示す半導体装置がほぼ完成する。このとき、ストップ膜2.9が第1層配線M1の場合のストップ膜2.6と同様な効果を発揮するといふまでもない。

[0077] 本実施の形態の半導体装置の製造方法によれば、配線上のエロージョンを抑制し、半導体装置の傾斜性および歩留まりを向上できる。

[0078] [実施の形態2] 図18および図19は、実施の形態2の半導体装置の製造方法を示した断面図である。本実施の形態2の製造方法は、実施の形態1におけるストップ膜2.6を残さなければ研磨時間がショートされ問題がある。このため、実施の形態1のようないくつかの問題を解決するのが原則である。したがってその他の実施の形態1と同様の工程および構成については説明を省略する。

[0079] 本実施の形態2の製造方法は、実施の形態1における图1.1までの工程と同様である。その後、図1.8に示すように、鋼膜2.5上に鋼膜3.0を形成する。鋼膜3.0は、鋼膜2.5とほぼ同一のCMP法による研磨速度を有する材料で構成され、かつアズテが状態で平坦化してその表面が平坦化されているものである。たとえば、メキシ法で形成された鋼膜、あるいはSOG(Spin On Glass)膜を例示できる。メキシ法は、無電解メキシあるいは電解メキシの両方でもよい。

[0080] このように、アズテが状態で平坦化され、かつ、その研磨法による研磨速度が鋼膜2.5と同等な鋼膜3.0を形成することにより、配線密度に依存しないで傾斜性3.0および鋼膜2.5を平坦に研磨できること、特に研磨剤を改善することができる。

[0081] また、CMP法による研磨に用いる研磨剤としては、一般的な鋼研磨用の研磨剤を用いることがでる結果、トータルディッシングをも抑制して、第1層配線M1のエロージョンを防止することができる。

れにより半導体装置の傾斜性および歩留まりを向上できる。

[0081] その後の工程は実施の形態1と同様である。

[0082] なお、本実施の形態1と同様であり、第2層配線M2の場合にも適用できることは勿論である。

[0083] 以上、本説明者によつてなされた説明では前記実施の形態にに基づき具体的に説明したが、本説明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

[0084] たとえば、前記実施の形態では第1層配線M1あるいは第2層配線M2に本説明を適用する場合を説明したが、さらに上層の配線層に適用できることは勿論である。

[0085] また、配線のみならず、ブラーク等他の導電部材を接続部等に埋め込んでCMP法により形成する場合にも本説明を適用できる。

[0086] また、配線あるいはブラーク等導電部材の形成以外であつても本説明を適用できる。すなわち、下地の凹凸形状に因るして被加工表面に凹凸形状が形成されている場合に、その凹凸の深度に依存せば被加工面をCMP法により平坦化する場合にも本説明を適用できる。

[0087] [実施の形態3] 図20～図23は、実施の形態3の半導体装置の製造方法を工程順に示した断面図である。本実施の形態3の製造方法は、実施の形態1の製造方法とはほぼ同様であるが、CMP法による研磨の終了の際にストップ膜2.6を残させる例を示す。

[0088] [実施の形態4] ストップ膜2.6が絶縁膜で構成される場合と同様であるが、実施にはストップ膜2.6を残させてても問題はないが、実施の形態1のようにストップ膜2.6を導電性の金属膜で構成する場合にはこれを全て除去しなければ研磨時間がショートされ問題がある。このため、実施の形態1のようないくつかの問題を抑制する技術を提供できる。

[0089] (1) CMP法により形成される塗装あるいはブラーク等の導電部材の底面を設計直に近い傾斜で形成する際の研磨剤等の抵抗値を設計抵抗値に近づける。これにより配線等の抵抗値を設計抵抗値に近づけ、半導体装置の傾斜性および歩留まりを向上できる。

[0090] (2) CMP法により形成される塗装あるいはブラーク等の導電部材の底面を設計直に近い傾斜で形成する際の研磨剤に改良を加えることなく、エロージョンまたはディッシングを抑制する技術を提供できる。

[0091] (3) 下地の配線密度に依存せずに、下地の凹凸に起因した導線表面の凹凸をCMP法により平坦化できる。

【面の簡単な説明】

[図1] 本説明の1半導体装置の製造方法の一例を示した断面図である。

[図2] 実施の形態1の半導体装置の製造方法の一例を示した断面図である。

[図3] 実施の形態1の半導体装置の製造方法の一例を示した断面図である。

[図4] 実施の形態1の半導体装置の製造方法の一例を示した断面図である。

[図5] 実施の形態1の半導体装置の製造方法の一例を示した断面図である。

[図6] 実施の形態1の半導体装置の製造方法の一例を示した断面図である。

【図7】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図8】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図9】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図10】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図11】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図12】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図13】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図14】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図15】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図16】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図17】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図18】実施の形態2の半導体装置の製造方法を示した断面図である。

【図19】実施の形態2の半導体装置の製造方法を示した断面図である。

【図20】実施の形態3の半導体装置の製造方法を工程順に示した断面図である。

【図21】実施の形態3の半導体装置の製造方法を工程順に示した断面図である。

【図22】実施の形態3の半導体装置の製造方法を工程順に示した断面図である。

【図23】実施の形態3の半導体装置の製造方法を工程順に示した断面図である。

【図24】エロージョンおよびディッシングを説明するための断面図である。

【図25】エロージョンの発生機構を説明するための概念断面図である。

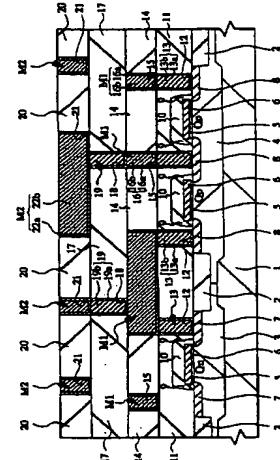
【図26】本発明者が検討した実験結果を示したグラフである。

【符号の説明】

- 1 半導体基板
- 2 奈子分離領域
- 3 D型ウェル
- 4 n型ウェル
- 5 ゲート絶縁膜
- 6 ゲート電極
- 7、8 不純物半導体領域
- 9 サイドワールスベーザ
- 10 キャップ絶縁膜
- 11、17 屋間絶縁膜
- 12、18 接続孔
- 13、19 ブラグ
- 13a、13b、19a、19b タングステン膜
- 14、20 配線形成用絕縁膜
- 15、21 配線溝
- 16a、22a バリア層
- 16b、22b 主導電層
- 23、27 塗化チタン膜
- 24、25、28、31、32 銅膜
- 26、29、33 ストッパ膜
- 30 緩性膜
- 100 絶縁膜
- 101 配線溝
- 102 配線
- 103 エロージョン
- 104 ディッシング
- 105 トータルディッシング
- M1 第1層配線
- M2 第2層配線
- Qn nチャネルMISFET
- Qp pチャネルMISFET

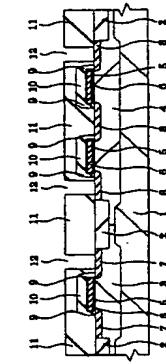
【図1】

【図1】



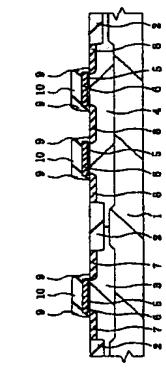
【図2】

【図2】



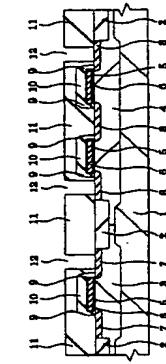
【図3】

【図3】



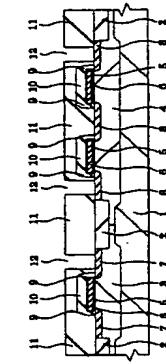
【図4】

【図4】



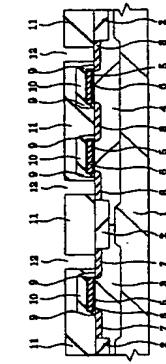
【図5】

【図5】



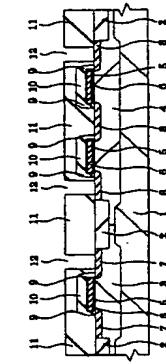
【図6】

【図6】



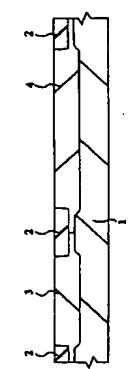
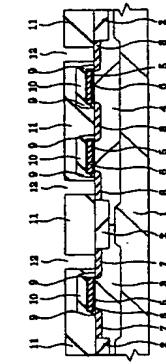
【図7】

【図7】



【図8】

【図8】



【図2】

【図3】

【図4】

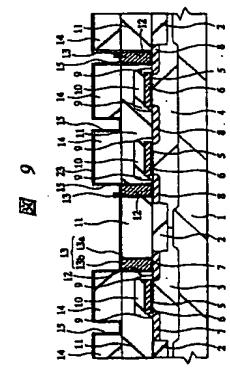
【図5】

【図6】

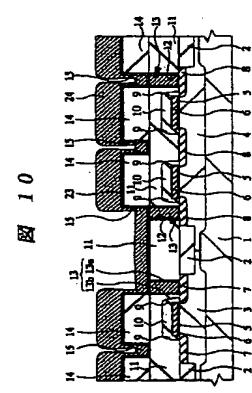
【図7】



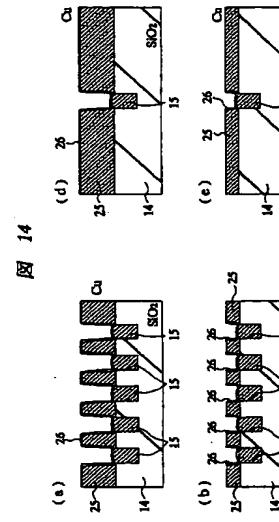
[図9]



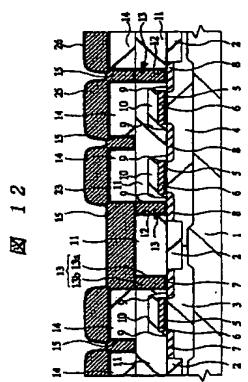
[図10]



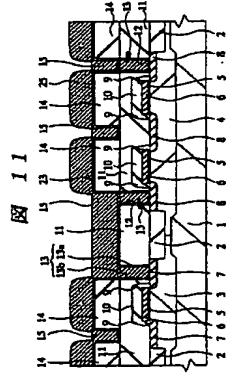
[図11]



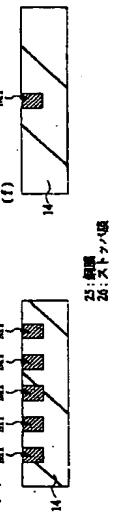
[図12]



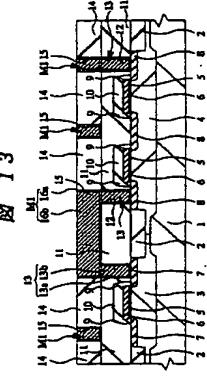
[図13]



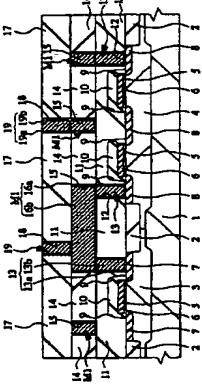
[図14]



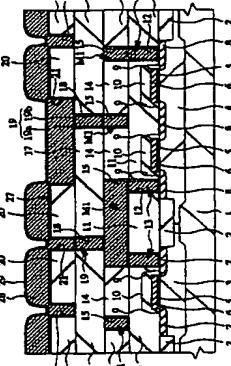
[図15]



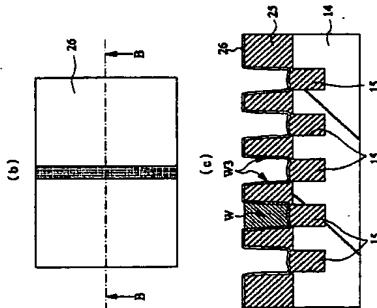
[図16]



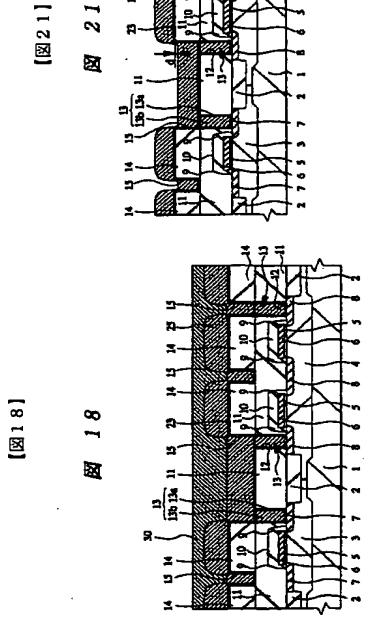
[図17]



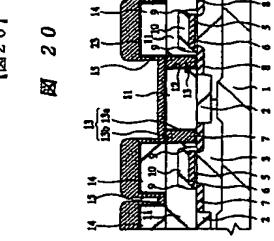
[図18]



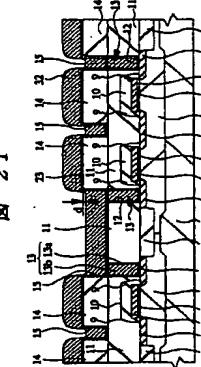
[図19]



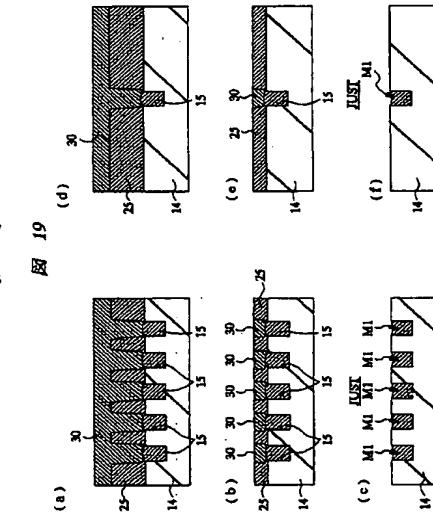
[図20]



[図21]

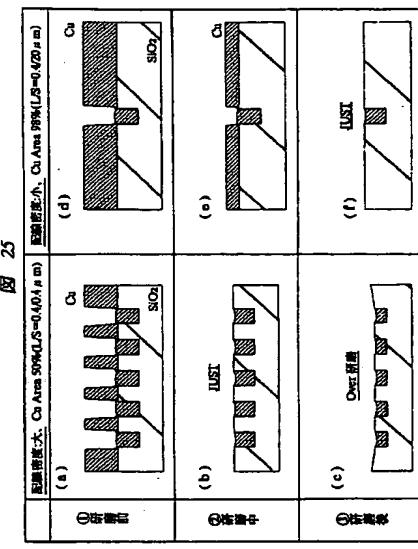


[図1.9]



[図1.9]

図 19



[図1.9]

図 25

[図2.2]

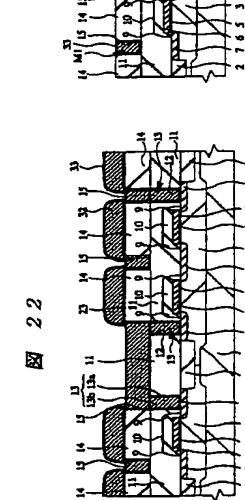


図 22

[図2.3]

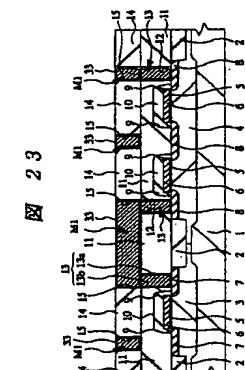


図 23

[図2.4]

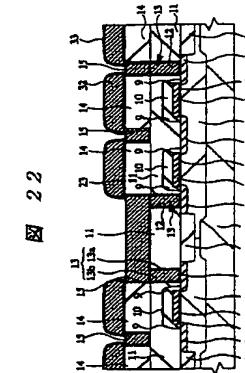
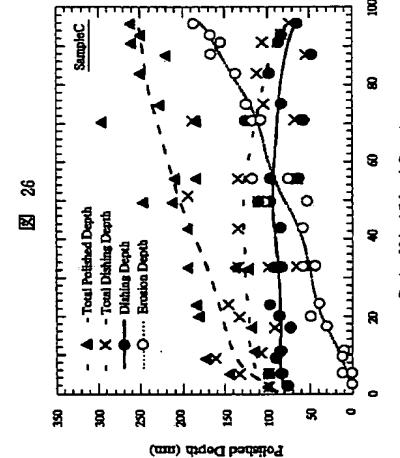


図 24

[図2.4]



[図2.6]

図 26

(72) 発明者 近藤 勝一
東京都国分寺市東恋ヶ原一丁目280番地
株式会社日立製作所中央研究所内

F ターム(参考) 5F033 A02 A04 A19 A23 A66
B15 B17 B25 B41 E05
E25

(72) 発明者 大橋 直史
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センター内

(72) 発明者 山口 日出
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センター内